



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2003-0012809
Application Number

출 원 년 월 일 : 2003년 02월 28일
Date of Application FEB 28, 2003

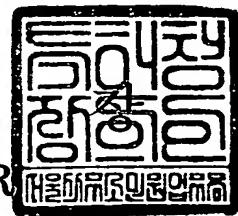
출 원 인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 09 월 17 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0023
【제출일자】	2003.02.28
【국제특허분류】	H01L
【발명의 명칭】	전류 소모를 줄이는 인터페이싱 회로
【발명의 영문명칭】	Interfacing circuit for reducing current consumption
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	이익주
【성명의 영문표기】	LEE, Ik Joo
【주민등록번호】	710827-1006816
【우편번호】	100-372
【주소】	서울특별시 중구 만리동2가 176-99 27/7
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)

1020030012809

출력 일자: 2003/9/22

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	7	면	7,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	11	항	461,000	원
【합계】	497,000 원			
【첨부서류】	1. 요약서·명세서(도면)_1통			

【요약서】**【요약】**

전류 소모를 줄이는 인터페이싱 회로가 개시된다. 본 발명에 따른 인터페이싱 회로는 명령 디코딩부, 동작 제어부 및 전송 제어부를 구비하는 것을 특징으로 한다. 명령 디코딩부는 입력되는 패킷 명령을 디코딩 하여 대응되는 명령들을 발생한다. 동작 제어부는 클럭 신호에 응답하여 상기 명령들에 대응되는 동작을 수행하기 위한 제 1 내지 제 N 동작 신호를 발생한다.

. 전송 제어부는 상기 클럭 신호에 응답하여 상기 제 1 내지 제 N 동작 신호를 제 1 내지 제 N 제어 신호로서 다음 회로로 전송한다. 상기 전송 제어부는 동시에 발생되면 상기 제 1 내지 제 N 제어 신호가 인가되는 상기 회로가 오동작 되는 명령들이 동시에 발생된 경우, 상기 제 1 제어 신호가 다음 회로로 전송되는 것을 차단하는 리셋 신호를 발생하는 리셋 신호 발생부를 구비하는 것을 특징으로 한다. 본 발명에 따른 인터페이싱 회로는 메모리 컨트롤러로부터 명령 리스트에 정의되지 않은 명령이 메모리 장치에 전달되어도 메모리 장치에 과도한 전류가 흐르는 것을 방지할 수 있는 장점이 있다.

【대표도】

도 4

【명세서】**【발명의 명칭】**

전류 소모를 줄이는 인터페이싱 회로{Interfacing circuit for reducing current consumption}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1(a)는 반도체 메모리 장치의 패킷 명령 중 로우 활성 패킷(row activation packet)을 나타낸 도면이다.

도 1(b)는 반도체 메모리 장치의 패킷 명령 중 로우 커맨드 패킷(row command packet)을 나타낸 도면이다.

도 2는 로우 커맨드 패킷(row command packet)의 명령 리스트를 나타내는 도면이다.

도 3은 패킷 명령을 디코딩 하여 반도체 메모리 장치를 제어하는 종래의 인터페이싱 회로를 나타내는 블록도이다.

도 4는 본 발명의 인터페이싱 회로를 나타내는 블록도이다.

도 5는 도 4의 리셋 신호 발생부를 나타내는 블록도이다.

도 6은 정의되지 않은 명령이 인가된 경우 종래의 인터페이싱 회로의 동작을 설명하는 타이밍도이다.

도 7은 정의되지 않은 명령이 인가된 경우 본 발명의 인터페이싱 회로의 동작을 설명하는 타이밍도이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<10> 본 발명은 반도체 메모리 장치에 관한 것으로서, 특히 반도체 메모리 장치의 외부 입력 편과 메모리 코어 사이에 배치되어 반도체 메모리 장치의 전류 소모를 줄이는 인터페이싱 회로에 관한 것이다.

<11> 반도체 메모리 장치들 중 패킷(packet) 형태의 명령을 수신하여 동작되는 반도체 메모리 장치는 반도체 메모리 장치 외부의 컨트롤러(controller)로부터 패킷 형태로 입력된 명령을 디코딩하고, 디코딩된 결과에 대응되는 동작을 수행한다.

<12> 만일 외부 컨트롤러로부터 미리 정해진 명령 이외의 명령이 입력되는 경우, 즉, 여러 개의 명령이 동시에 입력되거나 하는 경우에는 일반적인 반도체 메모리 장치는 여러 개의 명령을 무조건적으로 디코딩하고, 디코딩된 결과들에 대응되는 동작을 수행한다.

<13> 도 1(a)는 반도체 메모리 장치의 패킷 명령 중 로우 활성 패킷(row activation packet)을 나타낸 도면이다.

<14> 도 1(b)는 반도체 메모리 장치의 패킷 명령 중 로우 커맨드 패킷(row command packet)을 나타낸 도면이다.

<15> 도 1을 참조하면 클럭 신호(CTM/CFM)의 4개의 사이클(cycle)이 하나의 패킷 명령을 구성한다. 즉, 4개의 사이클동안 입력된 명령들이 모여서 하나의 동작을 수행하도록 하는 명령이 된다.

<16> 도 1(a)는 로우 활성 패킷으로서 접근(access)할 디바이스의 번호와 접근할 뱅크 어드레스 및 로우 어드레스에 관한 정보를 가지고 있다. DR 이 접근할 디바이스 번호를 나타내고, BR 이 접근할 뱅크 어드레스를 나타내며 R 이 접근할 로우 어드레스를 나타낸다.

<17> 도 1(b)는 로우 커맨드 패킷으로서 활성 명령이나 프리차지 명령 등의 명령에 관한 정보를 가지고 있다.

<18> 도 2는 로우 커맨드 패킷(row command packet)의 명령 리스트를 나타내는 도면이다.

<19> 반도체 메모리 장치 외부의 메모리 컨트롤러는 도 2의 명령 리스트에서 정의된 명령을 반도체 메모리 장치로 보내고, 반도체 메모리 장치는 수신되는 명령에 대응되는 동작을 수행한다.

<20> 도 3은 패킷 명령을 디코딩 하여 반도체 메모리 장치를 제어하는 종래의 인터페이싱 회로를 나타내는 블록도이다.

<21> 명령 디코딩부(310)는 메모리 컨트롤러(미도시)로부터 입력되는 패킷 명령을 디코딩하여 대응되는 명령을 출력한다. 입력되는 패킷 명령은 도 2의 명령 리스트에서 정의된 명령들 중 하나이다.

<22> 예를 들어, 메모리 코어의 메모리 셀들을 센싱하기 위한 패킷 명령이 입력되면 대응되는 마스터 신호(REFA)가 하이 레벨로 발생된다. 그리고 클럭 신호(CLK)의 한 클럭 뒤에 플립플롭(340)으로부터 메모리 셀을 센싱하기 위한 제어 신호(REFA_CTRL)가 하이 레벨로 발생된다. 나머지 마스터 신호들(PRER, REFP)은 비활성화 상태를 유지하고 있다.

<23> 그런데, 만일 도 2의 명령 리스트에서 정의된 명령들 중 여러 개가 동시에 발생되어 반도체 메모리 장치로 입력된다면, 반도체 메모리 장치는 복수개의 명령들을 모두 디코딩하고 대

응되는 동작을 수행하려 할 것이므로 결국 반도체 메모리 장치는 오동작 되며 큰 전류를 소비하게 된다. 이는 반도체 메모리 장치 뿐만 아니라 메모리 시스템에도 악영향을 미치게 된다.

【발명이 이루고자 하는 기술적 과제】

<24> 본 발명이 이루고자하는 기술적 과제는 메모리 컨트롤러로부터 정의되지 않은 명령들이 반도체 메모리 장치로 입력되는 경우 반도체 메모리 장치에 흐르는 과도한 전류를 줄일 수 있는 인터페이싱 회로를 제공하는데 있다.

【발명의 구성 및 작용】

<25> 상기 기술적 과제를 달성하기 위한 본 발명에 따른 인터페이싱 회로는 명령 디코딩부, 동작 제어부 및 전송 제어부를 구비하는 것을 특징으로 한다. 명령 디코딩부는 입력되는 패킷 명령을 디코딩 하여 대응되는 명령들을 발생한다.

<26> 동작 제어부는 클럭 신호에 응답하여 상기 명령들에 대응되는 동작을 수행하기 위한 제 1 내지 제 N 동작 신호를 발생한다. 전송 제어부는 상기 클럭 신호에 응답하여 상기 제 1 내지 제 N 동작 신호를 제 1 내지 제 N 제어 신호로서 다음 회로로 전송한다.

<27> 상기 전송 제어부는 동시에 발생되면 상기 제 1 내지 제 N 제어 신호가 인가되는 상기 회로가 오동작 되는 명령들이 동시에 발생된 경우, 상기 제 1 제어 신호가 다음 회로로 전송되는 것을 차단하는 리셋 신호를 발생하는 리셋 신호 발생부를 구비하는 것을 특징으로 한다.

<28> 상기 동작 제어부는 상기 명령 디코딩부에서 출력되는 제 1 내지 제 N 명령을 수신하여 상기 제 1 내지 제 N 동작 신호를 발생하는 제 1 내지 제 N 동작부를 구비하는 것을 특징으로 한다.

<29> 상기 제 1 내지 제 N 동작부는 각각 상기 클럭 신호에 응답하여 대응되는 명령을 수신하여 마스터 신호로서 출력하는 마스터 신호 발생부 및 상기 마스터 신호에 응답하여 대응되는 동작 신호를 발생하는 컴비네이셔널 로직부를 구비하는 것을 특징으로 한다.

<30> 상기 리셋 신호 발생부는 제 1 스위치부, 제 2 스위치부, 제 3 스위치부 및 리셋 제어부를 구비하는 것을 특징으로 한다.

<31> 제 1 스위치부는 상기 제 1 마스터 신호의 반전 신호에 응답하여 전원 전압과 제 1 노드를 연결한다. 제 2 스위치부는 상기 제 1 마스터 신호에 응답하여 접지 전압과 제 2 노드를 연결한다.

<32> 제 3 스위치부는 상기 제 1 마스터 신호와 동시에 활성화되면 상기 제 1 내지 제 N 제어 신호가 인가되는 회로가 오동작 되는 마스터 신호들이 활성화되면 상기 제 1 노드와 상기 제 2 노드를 연결한다.

<33> 리셋 제어부는 상기 제 1 노드에서 출력되는 신호, 상기 제 1 마스터 신호의 반전 신호 및 리셋 제어 신호에 응답하여, 상기 제 1 마스터 신호와 동시에 활성화되면 상기 제 1 내지 제 N 제어 신호가 인가되는 회로가 오동작 되는 마스터 신호들과 상기 제 1 마스터 신호가 동시에 활성화되는 경우 상기 리셋 신호를 발생한다.

<34> 상기 제 1 스위치부는 상기 제 1 마스터 신호의 반전 신호가 게이트로 인가되는 피모스 트랜지스터이고, 상기 제 2 스위치부는 상기 제 1 마스터 신호가 게이트로 인가되는 엔모스 트랜지스터이다.

<35> 상기 제 3 스위치부는 상기 제 1 마스터 신호와 동시에 활성화되면 상기 제 1 내지 제 N 제어 신호가 인가되는 회로가 오동작 되는 마스터 신호들이 각각 게이트로 인가되며 상기 제 1 노드와 상기 제 2 노드 사이에 병렬로 연결되는 복수개의 엔모스 트랜지스터들을 구비한다.

<36> 상기 리셋 제어부는 상기 제 1 노드에서 출력되는 신호 및 상기 제 1 마스터 신호의 반전 신호를 반전 논리합 하여 상기 리셋 신호로서 출력하는 반전 논리합 수단, 상기 리셋 신호를 반전시켜 상기 제 1 노드로 인가하는 제 1 인버터 및 리셋 제어 신호에 응답하여 상기 반전 논리합 수단의 출력 노드와 접지 전압을 연결하는 엔모스 트랜지스터를 구비하는 것을 특징으로 한다.

<37> 상기 제 1 마스터 신호, 상기 제 1 동작 신호 및 상기 제 1 제어 신호는 동일한 신호이며, 메모리 코어의 센싱 동작을 활성화시키는 신호이다. 상기 제 1 내지 제 N 제어 신호가 인가되는 상기 회로는 반도체 메모리 장치의 메모리 코어인 것을 특징으로 한다.

<38> 상기 전송 제어부는 상기 클럭 신호에 응답하여 상기 제 1 내지 제 N 동작 신호를 상기 제 1 내지 제 N 제어 신호로서 출력하는 제 1 내지 제 N 플립 플롭들을 구비하는 것을 특징으로 한다. 상기 인터페이싱 회로는 램버스 디램에 장착되는 것을 특징으로 한다.

<39> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.

<40> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

<41> 도 4는 본 발명의 인터페이싱 회로를 나타내는 블록도이다.

<42> 도 5는 도 4의 리셋 신호 발생부를 나타내는 블록도이다.

<43> 본 발명에 따른 인터페이싱 회로(400)는 명령 디코딩부(410), 동작 제어부 (420) 및 전송 제어부(440)를 구비한다.

<44> 명령 디코딩부(410)는 입력되는 패킷 명령(PACOM)을 디코딩 하여 대응되는 명령들을 (COM1 ~ COM3) 발생한다.

<45> 동작 제어부(420)는 클럭 신호(CLK)에 응답하여 명령들(COM1 ~ COM3)에 대응되는 동작을 수행하기 위한 제 1 내지 제 N 동작 신호(OPS1, OPS2, OPS3)를 발생한다.

<46> 좀 더 설명하면, 동작 제어부(420)는 명령 디코딩부(410)에서 출력되는 제 1 내지 제 N 명령(COM1 ~ COM3)을 수신하여 상기 제 1 내지 제 N 동작 신호(OPS1, OPS2, OPS3)를 발생하는 제 1 내지 제 N 동작부(425, 430, 435)를 구비한다.

<47> 제 1 내지 제 N 동작부(425, 430, 435)는 각각 클럭 신호(CLK)에 응답하여 대응되는 명령(COM1 ~ COM3)을 수신하여 마스터 신호(MAS1, MAS2, MAS3)로서 출력하는 마스터 신호 발생부(426, 431, 436) 및 마스터 신호(MAS1, MAS2, MAS3)에 응답하여 대응되는 동작 신호(OPS1, OPS2, OPS3)를 발생하는 콤비네이셔널 로직부(427, 432, 437)를 구비한다.

<48> 전송 제어부(440)는 클럭 신호(CLK)에 응답하여 제 1 내지 제 N 동작 신호(OPS1, OPS2, OPS3)를 제 1 내지 제 N 제어 신호(CTRL1, CTRL2, CTRL3)로서 다음 회로로 전송한다. 전송 제어부(440)는 동시에 발생되면 제 1 내지 제 N 제어 신호(CTRL1, CTRL2, CTRL3)가 인가되는 상기 회로가 오동작 되는 명령들이 동시에 발생된 경우, 제 1 제어 신호(CTRL1)가 다음 회로로 전송되는 것을 차단하는 리셋 신호를 발생하는 리셋 신호 발생부(445)를 구비한다.

<49> 리셋 신호 발생부(445)는 제 1 스위치부(510), 제 2 스위치부(520), 제 3 스위치부(530) 및 리셋 제어부(540)를 구비한다.

<50> 제 1 스위치부(510)는 제 1 마스터 신호(MAS1)의 반전 신호(MAS1_B)에 응답하여 전원 전압(VDD)과 제 1 노드(N1)를 연결한다. 제 1 스위치부(510)는 제 1 마스터 신호(MAS1)의 반전 신호(MAS_1)가 게이트로 인가되는 피모스 트랜지스터이다.

<51> 제 2 스위치부(520)는 제 1 마스터 신호(MAS1)에 응답하여 접지 전압(VSS)과 제 2 노드(N2)를 연결한다. 제 2 스위치부(520)는 제 1 마스터 신호(MAS1)가 게이트로 인가되는 엔모스 트랜지스터이다.

<52> 제 3 스위치부(530)는 제 1 마스터 신호(MAS1)와 동시에 활성화되면 제 1 내지 제 N 제어 신호(CTRL1, CTRL2, CTRL3)가 인가되는 회로(450)가 오동작 되는 마스터 신호들이 활성화되면 상기 제 1 노드(N1)와 제 2 노드(N2)를 연결한다. 여기서, 제 1 내지 제 N 제어 신호(CTRL1, CTRL2, CTRL3)가 인가되는 회로(450)는 반도체 메모리 장치의 메모리 코어이다.

<53> 제 3 스위치부(530)는 제 1 마스터 신호(MAS1)와 동시에 활성화되면 상기 제 1 내지 제 N 제어 신호(CTRL1, CTRL2, CTRL3)가 인가되는 회로(450)가 오동작 되는 마스터 신호들이 각각 게이트로 인가되며 제 1 노드(N1)와 제 2 노드(N2) 사이에 병렬로 연결되는 복수개의 엔모스 트랜지스터들(MNS1 ~ MNS6)을 구비한다.

<54> 리셋 제어부(540)는 제 1 노드(N1)에서 출력되는 신호(NS1), 제 1 마스터 신호(MAS1)의 반전 신호(MAS_1) 및 리셋 제어 신호(RESET_CTRL)에 응답하여, 제 1 마스터 신호(MAS1)와 동시에 활성화되면 제 1 내지 제 N 제어 신호(CTRL1, CTRL2, CTRL3)가 인가되는 회로(450)가 오동

작 되는 마스터 신호들(PDNR, NAPR, NAPRC, REFP, TCEN, TCAL)과 제 1 마스터 신호(MAS1)가 동시에 활성화되는 경우 리셋 신호(RESET)를 발생한다.

<55> 좀 더 설명하면, 리셋 제어부(540)는 제 1 노드(N1)에서 출력되는 신호(NS1) 및 제 1 마스터 신호(MAS1)의 반전 신호(MAS_1)를 반전 논리합 하여 리셋 신호(RESET)로서 출력하는 반전 논리합 수단(545), 리셋 신호(RESET)를 반전시켜 제 1 노드(N1)로 인가하는 제 1 인버터(550) 및 리셋 제어 신호(RESET_CTRL)에 응답하여 반전 논리합 수단(545)의 출력 노드(N3)와 접지 전압(VSS)을 연결하는 엔모스 트랜지스터(555)를 구비한다.

<56> 제 1 마스터 신호(MAS1), 제 1 동작 신호(OPS1) 및 제 1 제어 신호(CTRL1)는 동일한 신호이며, 메모리 코어(450)의 센싱 동작을 활성화시키는 신호이다.

<57> 전송 제어부(440)는 클럭 신호(CLK)에 응답하여 제 1 내지 제 N 동작 신호(OPS1, OPS2, OPS3)를 제 1 내지 제 N 제어 신호(CTRL1, CTRL2, CTRL3)로서 출력하는 제 1 내지 제 N 플립 플롭들(446, 447, 448)을 구비한다. 인터페이싱 회로(400)는 램버스 디램에 장착된다.

<58> 이하 도 4 및 도 5를 참조하여 본 발명에 따른 인터페이싱 회로의 동작이 상세히 설명된다.

<59> 본 발명에 따른 인터페이싱 회로(400)는 명령 디코딩부(410), 동작 제어부 (420) 및 전송 제어부(440)를 구비한다.

<60> 명령 디코딩부(410)는 입력되는 패킷 명령(PACOM)을 디코딩 하여 대응되는 명령들을 (COM1 ~ COM3) 발생한다. 패킷 명령(PACOM)이 하나만 입력되면 대응되는 하나의 명령을 발생하고 패킷 명령이 복수개 입력되면 대응되는 복수개의 명령이 발생된다.

<61> 발생된 명령은 동작 제어부(420)의 대응되는 동작부로 인가된다. 예를 들어, 도 2에 정의된 명령들 중 메모리 코어의 메모리 셀의 전류를 센싱 하는 패킷 명령이 입력되면 명령 디코딩부(410)는 패킷 명령을 디코딩 하여 제 1 명령(COM1)을 출력한다.

<62> 동작 제어부(420)의 제 1 동작부(425)는 제 1 명령(COM1)을 수신하여 제 1 동작 신호(OPS1)를 발생한다. 제 1 동작부(425)는 클럭 신호(CLK)에 응답하여 제 1 명령(COM1)을 수신하여 제 1 마스터 신호(MAS1)로서 출력하는 제 1 마스터 신호 발생부(426) 및 제 1 마스터 신호(MAS1)를 수신하여 대응되는 제 1 동작 신호 (OPS1)를 발생하는 콤비네이셔널 로직부(427)를 구비한다.

<63> 다른 동작부(430, 435)의 구성도 제 1 동작부(425)의 구성과 동일하다. 제 1 마스터 신호 발생부(426)는 클럭 신호(CLK)에 응답하여 입력 신호를 출력하는 플립플롭일 수 있다.

<64> 콤비네이셔널 로직부(427)는 제 1 마스터 신호(MAS1)를 제 1 동작 신호(OPS1)로서 출력하는 게이트 회로이다.

<65> 전송 제어부(440)는 클럭 신호(CLK)에 응답하여 제 1 동작 신호(OPS1)를 제 1 제어 신호(CTRL1)로서 다음 회로로 전송한다. 전송 제어부(440)는 클럭 신호(CLK)에 응답하여 제 1 동작 신호(OPS1)를 수신하고 다음 사이클에 제 1 제어 신호(CTRL1)로서 출력하는 플립플롭(446)을 구비한다.

<66> 제 1 제어 신호(CTRL1)는 메모리 코어(450)의 메모리 셀(미도시)로 인가되어 전류 률을 센싱 한다.

<67> 도 2에 정의된 명령들 중 다른 명령이 패킷 명령(PACOM)으로서 명령 디코딩부(410)로 입력되면, 명령 디코딩부(410)는 입력된 패킷 명령(PACOM)을 디코딩 하여 대응되는 제 2 명령(COM2) 또는 제 3 명령(COM3)을 발생한다.

<68> 만일 입력된 패킷 명령(PACOM)이 디코딩 되어 제 3 명령(COM3)이 발생되면, 제 3 명령(COM3)은 동작 제어부(420)의 제 3 동작부(435)로 인가된다. 그러면 제 3 동작부(435)는 제 3 동작 신호(OPS3)를 발생하고, 제 3 동작 신호(OPS3)는 전송 제어부(440)의 플립플롭(448)에 의하여 제 3 제어 신호(CTRL3)로서 메모리 코어 (450)로 인가된다.

<69> 그런데, 메모리 코어의 메모리 셀의 전류를 센싱하는 패킷 명령과 선택된 메모리 셀을 프리차지 하는 패킷 명령이 동시에 명령 디코딩부(410)로 입력된다고 가정한다.

<70> 그리고, 메모리 셀의 전류를 센싱하는 패킷 명령은 디코딩 되어 제 1 명령(COM1)으로 발생되고 메모리 셀을 프리차지 하는 패킷 명령은 디코딩 되어 제 2 명령(COM2)으로 발생된다고 하자.

<71> 그러면, 제 1 마스터 신호(MAS1)와 제 2 마스터 신호(MAS2)가 동시에 활성화된다. 제 1 마스터 신호(MAS1)는 도 6에서 REFA 로 표시되어 있고, 제 2 마스터 신호(MAS2)는 도 6에서 REFP 로 표시되어 있다.

<72> REFA_FF1은 제 1 마스터 신호(MAS1)가 메모리 코어(450)로 입력되는 제 1 제어 신호(CTRL1)를 나타낸다. 따라서 메모리 코어(450)에서는 셀 전류의 센싱과 프리 차지가 동시에 수행되고, 메모리 코어(450)는 오동작 된다.

<73> 그런데, 메모리 코어(450)가 오동작 되면서도 제 1 제어 신호(CTRL1)에 의하여 셀 전류가 센싱되므로 전류 소비가 크다는 문제가 있다.

<74> 따라서 본 발명에서는 동시에 활성화되면 메모리 코어가 오동작 되는 명령들이 동시에 발생되고, 발생된 명령들 중 메모리 코어의 셀 전류를 센싱하는 동작을 수행하는 명령이 있는 경우, 메모리 코어의 셀 전류를 센싱 하지 못하도록 하는 리셋 신호를 발생하는 리셋 신호 발생부(445)를 구비한다.

<75> 리셋 신호 발생부(445)는 제 1 스위치부(510), 제 2 스위치부(520), 제 3 스위치부(530) 및 리셋 제어부(540)를 구비한다.

<76> 제 1 스위치부(510)는 제 1 마스터 신호(MAS1)의 반전 신호(MAS1_B)에 응답하여 전원 전압(VDD)과 제 1 노드(N1)를 연결한다. 제 1 스위치부(510)는 제 1 마스터 신호(MAS1)의 반전 신호(MAS_1)가 게이트로 인가되는 피모스 트랜지스터이다.

<77> 제 2 스위치부(520)는 제 1 마스터 신호(MAS1)에 응답하여 접지 전압(VSS)과 제 2 노드(N2)를 연결한다. 제 2 스위치부(520)는 제 1 마스터 신호(MAS1)가 게이트로 인가되는 엔모스 트랜지스터이다.

<78> 제 3 스위치부(530)는 제 1 마스터 신호(MAS1)와 동시에 활성화되면 제 1 내지 제 N 제어 신호(CTRL1, CTRL2, CTRL3)가 인가되는 회로(450)가 오동작 되는 마스터 신호들이 활성화되면 상기 제 1 노드(N1)와 제 2 노드(N2)를 연결한다. 여기서, 제 1 내지 제 N 제어 신호(CTRL1, CTRL2, CTRL3)가 인가되는 회로(450)는 반도체 메모리 장치의 메모리 코어(450)이다.

<79> 제 1 마스터 신호(MAS1), 제 1 동작 신호(OPS1) 및 제 1 제어 신호(CTRL1)는 동일한 신호이며, 메모리 코어(450)의 센싱 동작을 활성화시키는 신호이다.

<80> 도 2의 명령 리스트에는 REFA 로 표시되어 있다. 따라서, 리셋 신호(RESET) 가 활성화되면 제 1 제어 신호(CTRL1)가 메모리 코어(450)로 인가되는 것을 막는다.

<81> 제 1 마스터 신호(MAS1)와 동시에 활성화되면 제 1 내지 제 N 제어 신호(CTRL1, CTRL2, CTRL3)가 인가되는 회로, 즉, 메모리 코어(450)가 오동작 되는 마스터 신호들은 도 2의 명령 리스트에서 REFP, PDNR, NAPR, NAPRC, TCEN, TCAL 로 표시되어 있다.

<82> 도 2의 명령 리스트에서 OP 코드 부분을 보면 메모리 셀의 전류를 센싱 하는 REFA 명령과 REFP, PDNR, NAPR, NAPRC, TCEN, TCAL 명령들이 동시에 활성화되면 메모리 코어(450)는 오동작 됨을 알 수 있다.

<83> 제 3 스위치부(530)는 제 1 마스터 신호(MAS1)와 동시에 활성화되면 상기 제 1 내지 제 N 제어 신호(CTRL1, CTRL2, CTRL3)가 인가되는 회로(450)가 오동작 되는 마스터 신호들(REFP, PDNR, NAPR, NAPRC, TCEN, TCAL)이 각각 게이트로 인가되며 제 1 노드(N1)와 제 2 노드(N2) 사이에 병렬로 연결되는 복수개의 엔모스 트랜지스터들(MNS1 ~ MNS6)을 구비한다.

<84> 리셋 제어부(540)는 제 1 노드(N1)에서 출력되는 신호(NS1), 제 1 마스터 신호(MAS1)의 반전 신호(MAS_1) 및 리셋 제어 신호(RESET_CTRL)에 응답하여, 제 1 마스터 신호(MAS1)와 동시에 활성화되면 제 1 내지 제 N 제어 신호(CTRL1, CTRL2, CTRL3)가 인가되는 회로(450)가 오동작 되는 마스터 신호들(REFP, PDNR, NAPR, NAPRC, TCEN, TCAL)과 제 1 마스터 신호(MAS1)가 동시에 활성화되는 경우 리셋 신호(RESET)를 발생한다.

<85> 좀 더 설명하면, 리셋 제어부(540)는 반전 논리합 수단(545), 제 1 인버터(550) 및 엔모스 트랜지스터(555)를 구비한다.

<86> 반전 논리합 수단(545)은 제 1 노드(N1)에서 출력되는 신호(NS1) 및 제 1 마스터 신호(MAS1)의 반전 신호(MAS_1)를 반전 논리합 하여 리셋 신호(RESET)로서 출력한다.

<87> 제 1 인버터(550)는 리셋 신호(RESET)를 반전시켜 제 1 노드(N1)로 인가한다. 엔모스 트랜지스터(555)는 리셋 제어 신호(RESET_CTRL)에 응답하여 반전 논리합 수단(545)의 출력 노드(N3)와 접지 전압(VSS)을 연결한다.

<88> 리셋 제어 신호(RESET_CTRL)는 펄스 형태의 신호로서 처음에는 하이 레벨로 엔모스 트랜지스터(555)의 게이트로 인가된다. 따라서, 반전 논리합 수단(545)의 출력 노드(N3)는 로우 레벨로 된다.

<89> 반전 논리합 수단(545)의 출력 노드(N3)가 리셋 신호(RESET)로서 발생된다. 도 4 및 도 5에서는 리셋 신호(RESET)의 반전 신호(RESET_B)가 전송 제어부(440)의 제 1 플립플롭(446)으로 인가되어 제 1 플립플롭(446)을 리셋 시킨다.

<90> 도 4에서는 전송 제어부(440)의 제 1 플립플롭(446)이 리셋 신호(RESET)의 반전 신호(RESET_B)에 응답하여 리셋 되는 것으로 도시되어 있으나, 제 1 플립플롭(446)이 리셋 신호(RESET)에 응답하여 리셋 되도록 회로를 구성할 수 있음은 자명하다.

<91> 리셋 제어 신호(RESET_CTRL)가 하이 레벨인 경우 제 1 노드(N1)는 하이 레벨 상태를 유지한다. 이 때, 도 2의 명령 리스트에서 정의된 명령이 입력되는 경우, 예를 들어 메모리 코어(450)의 메모리 셀의 전류를 센싱하는 명령인 REFA 명령이 제 1 마스터 신호(MAS1)로서 활성화되는 경우, 제 2 노드(N2)는 제 2 스위치부(520)의 엔모스 트랜지스터에 의하여 로우 레벨로 된다.

<92> 그러나 인버터(505)에 의하여 제 1 마스터 신호(MAS1)의 반전 신호(MAS_1)를 수신하는 제 1 스위치부(510)는 턴 온 되므로 제 1 노드(N1)는 여전히 하이 레벨 상태가 유지된다.

<93> 리셋 제어부(540)의 반전 논리합 수단(545)으로 하이 레벨의 제 1 노드(N1)의 출력 신호(NS1)와 제 1 마스터 신호(MAS1)의 반전 신호(MAS_1)가 입력되면 리셋 신호(RESET)는 로우 레벨로 되고 리셋 신호(RESET)의 반전 신호(RESET_B)는 하이 레벨로 된다. 따라서 전송 제어부(440)의 제 1 플립플롭(446)은 리셋 되지 않는다.

<94> REFA 명령이 입력되지 않고, 도 2의 명령 리스트에서 정의된 다른 명령들, 예컨대 PDNR, NAPR, NAPRC, REFP 등 중 하나가 입력되어도 제 1 노드(N1)는 계속해서 하이 레벨로 유지되고 리셋 신호(RESET)의 반전 신호(RESET_B)도 하이 레벨로 유지되므로 전송 제어부(440)의 제 1 플립플롭(446)은 리셋 되지 않는다.

<95> 도 2의 명령 리스트에서 REFA 명령과 함께 활성화되면 메모리 코어가 오동작 될 수 있는 명령들, 즉, PDNR, NAPR, NAPRC, REFP, TCEN, TCAL 과 같은 명령들이 REFA 명령과 함께 활성화된다면 제 2 스위치부(520) 및 제 3 스위치부(530)가 턴 온 되어 제 1 노드(N1)가 로우 레벨이 된다.

<96> 반전 논리합 수단(545)으로 입력되는 제 1 노드(N1)의 출력 신호(NS1)와 제 1 마스터 신호(MAS1)의 반전 신호(MAS_1)가 모두 로우 레벨이 되므로 리셋 신호(RESET)는 하이 레벨이 되고 리셋 신호(RESET)의 반전 신호(RESET_B)는 로우 레벨이 된다.

<97> 따라서 전송 제어부(440)의 제 1 플립플롭(446)은 리셋 된다. 그러면 제 1 동작 신호(OPS1)가 제 1 제어 신호(CTRL1)로서 메모리 코어(450)로 인가되는 것이 차단된다. 따라서 메모리 코어가 오동작 되더라도 메모리 셀의 전류를 센싱 하는 제 1 제어 신호(CTRL1)가 메모리 코어로 인가되지 않으므로 메모리 코어(450)에 과전류가 흐르는 것이 차단된다.

<98> 도 7은 정의되지 않은 명령이 인가된 경우 본 발명의 인터페이싱 회로의 동작을 설명하는 타이밍도이다.

<99> 도 7을 참조하면, 메모리 코어(450)의 메모리 셀의 전류를 센싱하는 명령인 REFA 명령이 제 1 마스터 신호(MAS1)로서 활성화되고, 이와 함께 PDNR, NAPR, NAPRC, REFP, TCEN, TCAL 과 같은 명령들 중 하나가 제 2 마스터 신호(MAS2)로서 활성화되는 경우, 리셋 신호(RESET)의 반전 신호(RESET_B)가 로우 레벨로 발생되어 전송 제어부(440)의 제 1 플립플롭(446)을 리셋 시키므로 제 1 제어 신호(CTRL1)가 활성화되지 않는 것을 알 수 있다.

<100> 이상에서와 같이 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<101> 상술한 바와 같이 본 발명에 따른 인터페이싱 회로는 메모리 컨트롤러로부터 명령 리스트에 정의되지 않은 명령이 메모리 장치에 전달되어도 메모리 장치에 과도한 전류가 흐르는 것을 방지할 수 있는 장점이 있다.

【특허청구범위】**【청구항 1】**

입력되는 패킷 명령을 디코딩 하여 대응되는 명령들을 발생하는 명령 디코딩부 ;

클럭 신호에 응답하여 상기 명령들에 대응되는 동작을 수행하기 위한 제 1 내지 제 N 동작 신호를 발생하는 동작 제어부 ; 및

상기 클럭 신호에 응답하여 상기 제 1 내지 제 N 동작 신호를 제 1 내지 제 N 제어 신호로서 다음 회로로 전송하는 전송 제어부를 구비하고,

상기 전송 제어부는,

동시에 발생되면 상기 제 1 내지 제 N 제어 신호가 인가되는 상기 회로가 오동작 되는 명령들이 동시에 발생된 경우, 상기 제 1 제어 신호가 다음 회로로 전송되는 것을 차단하는 리셋 신호를 발생하는 리셋 신호 발생부를 구비하는 것을 특징으로 하는 인터페이싱 회로.

【청구항 2】

제 1항에 있어서, 상기 동작 제어부는,

상기 명령 디코딩부에서 출력되는 제 1 내지 제 N 명령을 수신하여 상기 제 1 내지 제 N 동작 신호를 발생하는 제 1 내지 제 N 동작부를 구비하는 것을 특징으로 하는 인터페이싱 회로.

【청구항 3】

제 2항에 있어서, 상기 제 1 내지 제 N 동작부는 각각,

상기 클럭 신호에 응답하여 대응되는 명령을 수신하여 마스터 신호로서 출력하는 마스터 신호 발생부 ; 및

상기 마스터 신호에 응답하여 대응되는 동작 신호를 발생하는 콤비네이셔널 로직부를 구비하는 것을 특징으로 하는 인터페이싱 회로.

【청구항 4】

제 3항에 있어서, 상기 리셋 신호 발생부는,

상기 제 1 마스터 신호의 반전 신호에 응답하여 전원 전압과 제 1 노드를 연결하는 제 1 스위치부 ;

상기 제 1 마스터 신호에 응답하여 접지 전압과 제 2 노드를 연결하는 제 2 스위치부 ;

상기 제 1 마스터 신호와 동시에 활성화되면 상기 제 1 내지 제 N 제어 신호가 인가되는 회로가 오동작 되는 마스터 신호들이 활성화되면 상기 제 1 노드와 상기 제 2 노드를 연결하는 제 3 스위치부 ; 및

상기 제 1 노드에서 출력되는 신호, 상기 제 1 마스터 신호의 반전 신호 및 리셋 제어 신호에 응답하여, 상기 제 1 마스터 신호와 동시에 활성화되면 상기 제 1 내지 제 N 제어 신호가 인가되는 회로가 오동작 되는 마스터 신호들과 상기 제 1 마스터 신호가 동시에 활성화되는 경우 상기 리셋 신호를 발생하는 리셋 제어부를 구비하는 것을 특징으로 하는 인터페이싱 회로.

【청구항 5】

제 4항에 있어서, 상기 제 1 스위치부는 상기 제 1 마스터 신호의 반전 신호가 게이트로 인가되는 피모스 트랜지스터이고,

상기 제 2 스위치부는 상기 제 1 마스터 신호가 게이트로 인가되는 엔모스 트랜지스터인 것을 특징으로 하는 인터페이싱 회로.

【청구항 6】

제 4항에 있어서, 상기 제 3 스위치부는,

상기 제 1 마스터 신호와 동시에 활성화되면 상기 제 1 내지 제 N 제어 신호가 인가되는 회로가 오동작 되는 마스터 신호들이 각각 게이트로 인가되며 상기 제 1 노드와 상기 제 2 노드 사이에 병렬로 연결되는 복수개의 엔모스 트랜지스터들을 구비하는 것을 특징으로 하는 인터페이싱 회로.

【청구항 7】

제 4항에 있어서, 상기 리셋 제어부는,

상기 제 1 노드에서 출력되는 신호 및 상기 제 1 마스터 신호의 반전 신호를 반전 논리합 하여 상기 리셋 신호로서 출력하는 반전 논리합 수단 ;

상기 리셋 신호를 반전시켜 상기 제 1 노드로 인가하는 제 1 인버터 ; 및
리셋 제어 신호에 응답하여 상기 반전 논리합 수단의 출력 노드와 접지 전압을 연결하는
엔모스 트랜지스터를 구비하는 것을 특징으로 하는 인터페이싱 회로.

【청구항 8】

제 3항에 있어서, 상기 제 1 마스터 신호, 상기 제 1 동작 신호 및 상기 제 1 제어 신호는 동일한 신호이며,

메모리 코어의 센싱 동작을 활성화시키는 신호인 것을 특징으로 하는 인터페이싱 회로.

【청구항 9】

제 1항에 있어서, 상기 제 1 내지 제 N 제어 신호가 인가되는 상기 회로는,

반도체 메모리 장치의 메모리 코어인 것을 특징으로 하는 인터페이싱 회로.

【청구항 10】

제 1항에 있어서, 상기 전송 제어부는,

상기 클럭 신호에 응답하여 상기 제 1 내지 제 N 동작 신호를 상기 제 1 내지 제 N 제어 신호로서 출력하는 제 1 내지 제 N 플립 플랍들을 구비하는 것을 특징으로 하는 인터페이싱 회로.

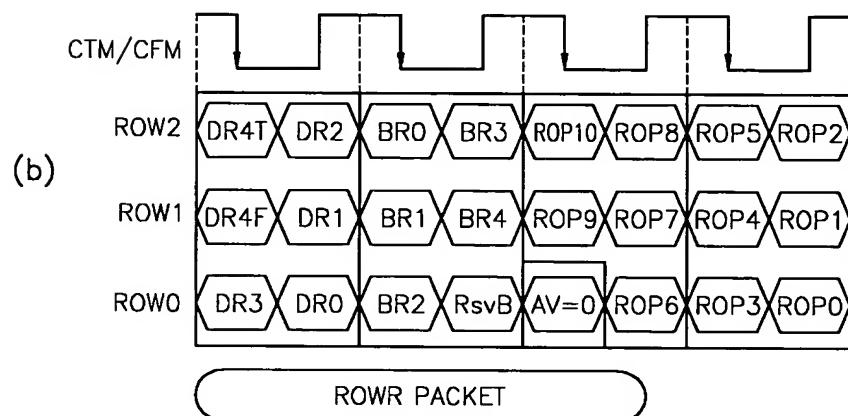
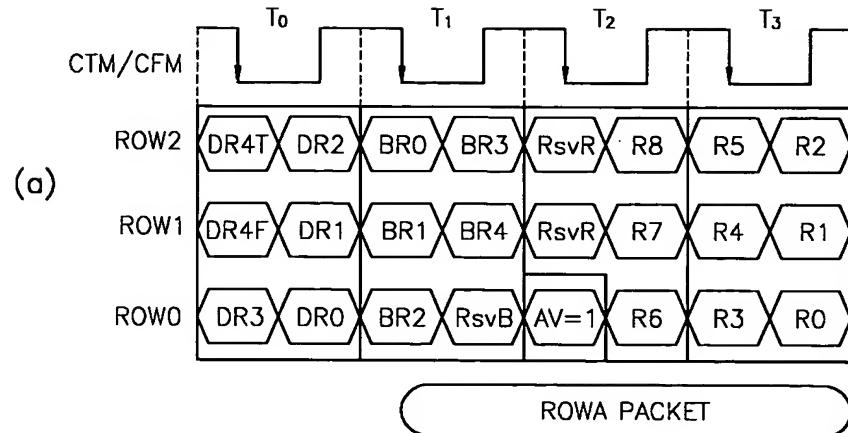
【청구항 11】

제 1항에 있어서, 상기 인터페이싱 회로는,

램버스 디램에 장착되는 것을 특징으로 하는 인터페이싱 회로.

【도면】

【도 1】

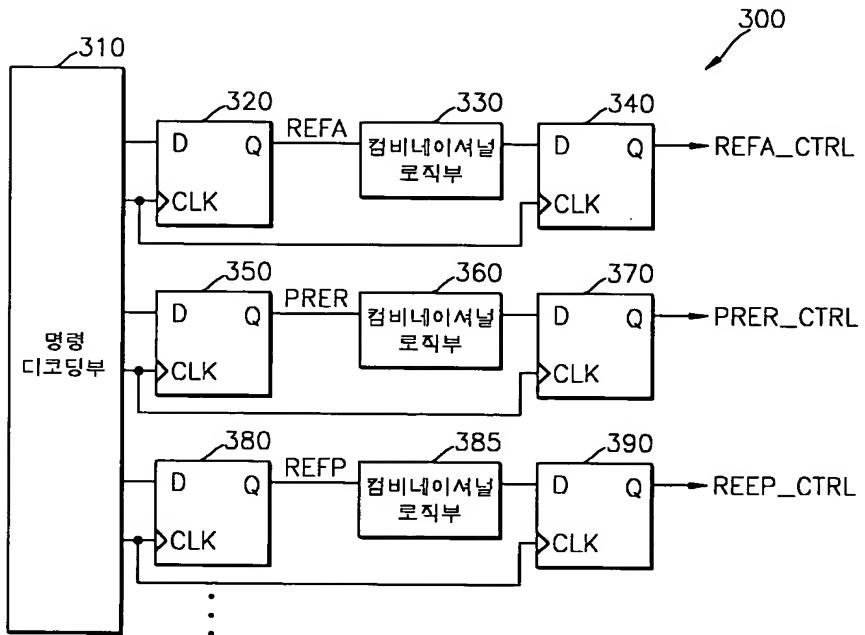


【도 2】

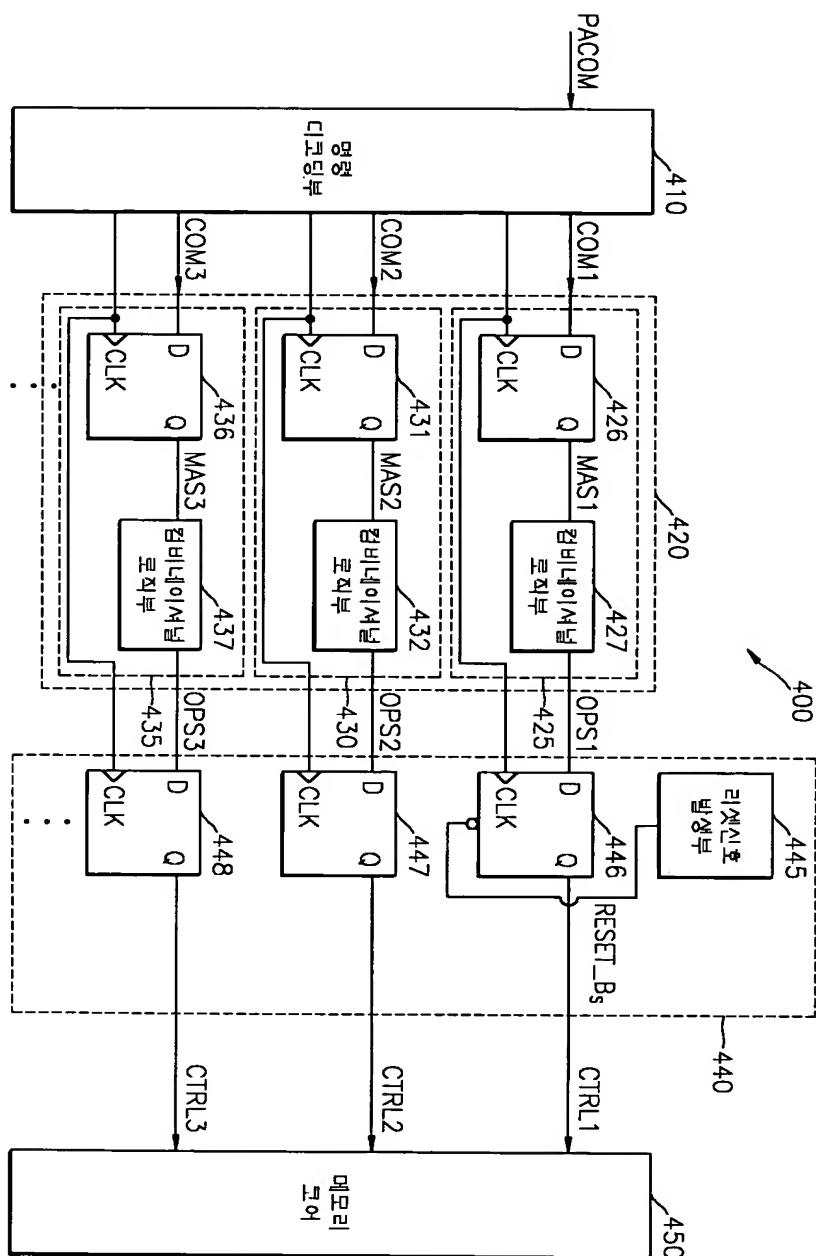
DM	AV	ROP10..ROP0 Field										Name	Command Description	
		10	9	8	7	6	5	4	3	2:0				
0	0	-	-	-	-	-	-	-	-	...	-	No operation.		
1	1	Row address								ACT	Activate row R8..R0 of bank BR4..BRO of device and move device to ATTN.			
1	0	1	1	0	0	0	X	X	X	000	PRER	Precharge bank BR4..BRO of this device.		
1	0	0	0	0	1	1	0	0	X	000	REFA	Refresh (activate) row REFR8..REFR0 of bank BR4..BRO of device. Increment REFR if BR4..BRO = 1111 (see Figure).		
1	0	1	0	1	0	1	0	0	X	000	REFP	Precharge bank BR4..BRO of this device after REFA (see Figure).		
1	0	X	X	0	0	0	0	1	X	000	PDNR	Move this device into the powerdown (PDN) power state (see Figure).		
1	0	X	X	0	0	0	1	0	X	000	NAPR	Move this device into the nap (NAP) power state (see Figure).		
1	0	X	X	0	0	0	1	1	X	000	NAPRC	Move this device into the nap (NAP) power state conditionally		
1	0	X	X	X	X	X	X	X	0	000	ATTN	Move this device into the attention (ATTN) power state (see Figure).		
1	0	X	X	X	X	X	X	X	1	000	RLXR	Move this device into the standby (STBY) power state (see Figure).		
1	0	0	0	0	0	0	0	0	X	001	TCAL	Temperature calibrate this device (see Figure).		
1	0	0	0	0	0	0	0	0	X	010	TCEN	Temperature calibrate/enable this device (see Figure).		
1	0	0	0	0	0	0	0	0	0	000	NOROP	No operation.		

ROWR 패킷의 명령 리스트 (COMMAND LIST)

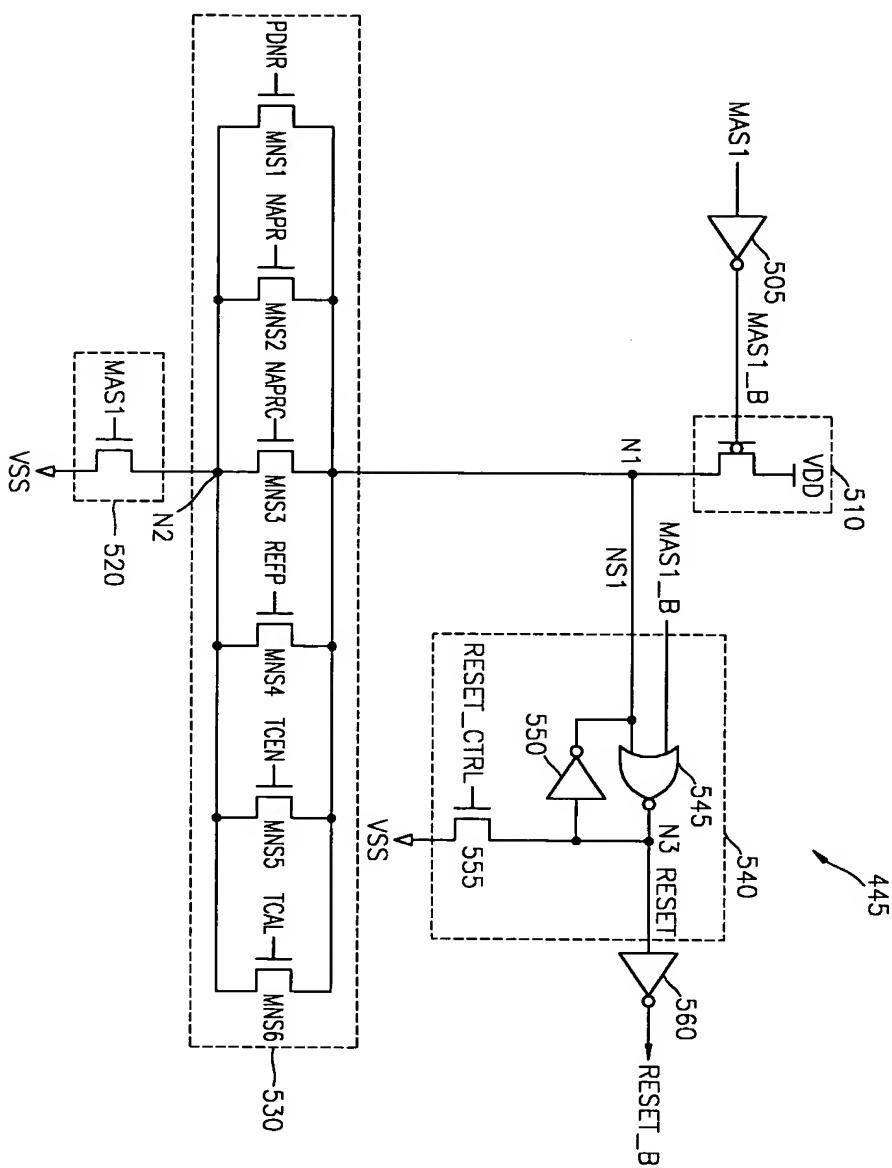
【도 3】



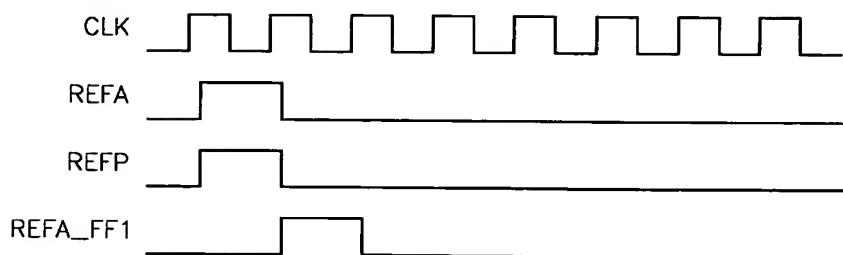
【도 4】



【도 5】



【도 6】





1020030012809

출력 일자: 2003/9/22

【도 7】

